

نام درس: مبنای الکترونیک دیجیتال

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

کد درس: ۱۵۱۱۰۰۵

تعداد سؤال: ۳۰ نمره: ۳۰ تکمیلی — تشریحی ۳

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

تعداد کل صفحات: ۸

استفاده از ماشین حساب مجاز است.

۱- کدام گزینه غلط است؟

- (الف) V_{OL} : می نیمم ولتاژ خروجی در حالتی است که خروجی در منطق صفر قرار دارد.
 (ب) V_{IH} : می نیمم ولتاژ ورودی است که گیت آنرا به صورت منطق یک در نظر می گیرد.
 (ج) V_{IL} : ماکزیمم ولتاژ ورودی است که گیت آنرا به صورت منطق صفر در نظر می گیرد.
 (د) V_{OH} : ماکزیمم ولتاژ خروجی در حالتی است که خروجی در منطق صفر قرار دارد.

۲- ظرفیت خروجی گیتی با مشخصات زیر کدام است؟

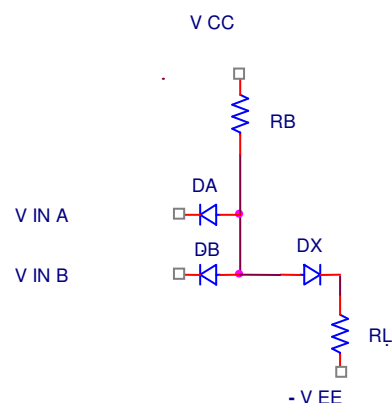
$$I_{in} (Low) = 2.43mA, I_{in} (High) = 98.9\mu A, I_{out} (High) = 71.4mA, I_{out} (Low) = 54.3mA$$

- (الف) ۷۲۱ (ب) ۲۲۰ (ج) ۲۲ (د) ۱۲

۳- برای گیت AND با سطح منتقل شده شکل زیر ولتاژهای خروجی می نیمم و ماکزیمم به ترتیب چیست؟

$$R_L = 2K\Omega, R_H = 1K\Omega, V_{D(ON)} = 0.7V, V_{CC} = 4V, V_{EE} = 4V$$

- (الف) ۲- و ۰.۸۷ (ب) ۰.۸۷ و ۲ (ج) ۰.۸۷ و ۴ (د) ۰.۸۷ و ۴



۴- رابطه جریان I_{DS} (درین به سورس) در ناحیه خطی در ترانزیستورهای PMOS افزایشی و NMOS کاهششی به ترتیب کدام گزینه است؟

$$I_{DS} = K[(V_{GS} - V_t)V_{SD} - V_{SD}^2/2] \text{ و } I_{DS} = K[(V_{GS} - V_t)V_{DS} - V_{DS}^2/2] \text{ (الف)}$$

$$I_{DS} = K[(V_{GS} - V_t)V_{DS} - V_{DS}^2/2] \text{ و } I_{DS} = K[(V_{GS} - V_t)V_{SD} - V_{SD}^2/2] \text{ (ب)}$$

(ج) برای هر دو ترانزیستور مشابه عبارتست از:

$$I_{DS} = K[(V_{GS} - V_t)V_{DS} - V_{DS}^2/2]$$

(د) هیچکدام

۵- اثر کلی افزایش دما در تغییر $|V_t|$ و k در MOSFET به ترتیب چگونه است؟

(الف) افزایش و افزایش و افزایش (ب) کاهش و کاهش و کاهش

(ج) کاهش و افزایش و کاهش (د) افزایش و کاهش و افزایش

نام درس: مباحثی الکترونیک دیجیتال

تعداد سؤال: ۳۰ نمره: ۳۰ تکمیلی — تشریحی ۳

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

کد درس: ۱۵۱۱۰۰۵

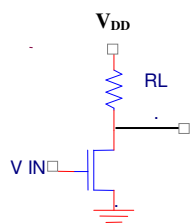
تعداد کل صفحات: ۸

۶- در مدار معکوس کننده NMOS با بار مقاومتی شکل زیر ولتاژ ورودی برابر با ۵V است، مقدار R_L بر حسب کیلو اهم کدام گزینه باشد تا ولتاژ خروجی V_{out} برابر ۰.۵ ولت شود.

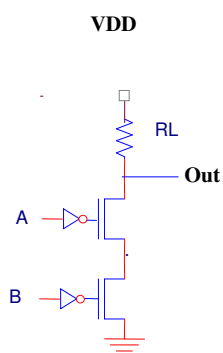
$$V_{Tn} = 1V, k'_n = 20 \mu A/V^2, V_{DD} = 5V, W/L = 10\mu m/10\mu m$$

الف) ۱۲ ب) ۱۲۰

ج) ۱۴ د) ۱۴۰

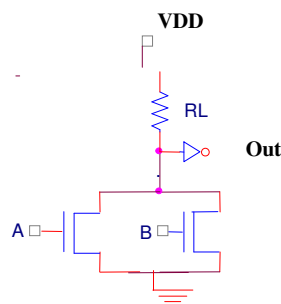


۷- پاسخ مناسب در مورد گیت OR کدام گزینه است؟



ب)

الف)



د)هیچکدام

ج)هر دو

۸- مقادیر NM_L و NM_H (مقادیر حاشیه نویز) برای مشخصات زیر به ترتیب کدام است؟

$$V_{OH} = 5V, V_{OL} = 0.29, V_{IH} = 2.73, V_{IL} = 1.67V$$

الف) ۴،۷۱ و ۱،۰۶ ب) ۱،۰۶ و ۴،۷۱ ج) ۱،۳۸ و ۲،۲۷ د) ۲،۲۷ و ۱،۳۸

۹- کدام گزینه در مورد NMOS غلط است؟

الف) امکان مجتمع سازی در سطح بالایی میسر است.

ب) مهمترین کاربرد NMOS در ریزپردازنده ها و حافظه با دستیابی تصادفی است.

ج) ساخت مدارهای منطقی NMOS مشکل است

د) توانایی NMOS در تحریک بار کم است.

نام درس: مبنای الکترونیک دیجیتال

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

کد درس: ۱۵۱۱۰۵

تعداد سؤال: ۳۰ نسی تکمیلی — تشریحی ۳

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

تعداد کل صفحات: ۸

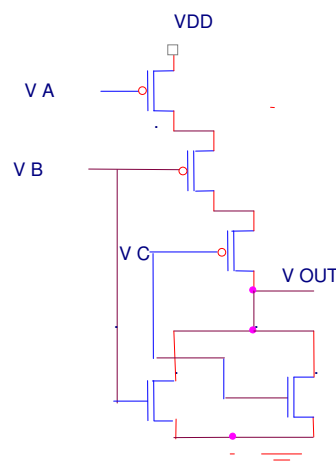
۱۰- با فرض اینکه ولتاژ V_C پایین باشد کدام گزینه باعث امپدانس بالا شدن خروجی مدار CMOS زیر می گردد؟

(ب) ولتاژ V_A پایین و ولتاژ V_B بالا

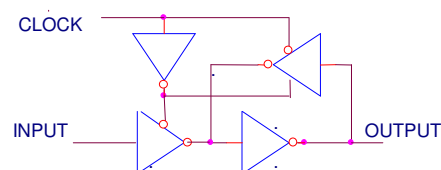
(الف) ولتاژ V_A و V_B هر دو بالا

(د) ولتاژ V_A بالا و ولتاژ V_B پایین

(ج) ولتاژ V_A و V_B هر دو پایین



۱۱- کدام گزینه در مورد مدار زیر درست است ؟



(الف) وقتی CLOCK بالا باشد ورودی به خروجی منتقل می شود.

(ب) وقتی CLOCK پایین باشد ورودی به خروجی منتقل می شود.

(ج) وقتی CLOCK بالا باشد معکوس ورودی به خروجی منتقل می شود.

(د) وقتی CLOCK پایین باشد معکوس ورودی به خروجی منتقل می شود

۱۲- کدام گزینه در مورد معکوس کننده اشمیتتریگر CMOS صحیح نیست :

(الف) مساحت کانال ترانزیستورها تقریباً دو برابر مساحت کانال یک معکوس کننده عادی است .

(ب) خازن ورودی معکوس کننده اشمیتتریگر تقریباً چهار برابر خازن ورودی یک معکوس کننده عادی است.

(ج) برای افزایش قدرت تحریک کنندگی اشمیتتریگر از دو مرحله بافر استفاده می شود.

(د) ورودی معکوس کننده اشمیتتریگر به دو ترانزیستور اتصال دارد.

نام درس: مبنای الکترونیک دیجیتال

تعداد سؤال: ۳۰ نسی تکمیلی — تشریحی ۳

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

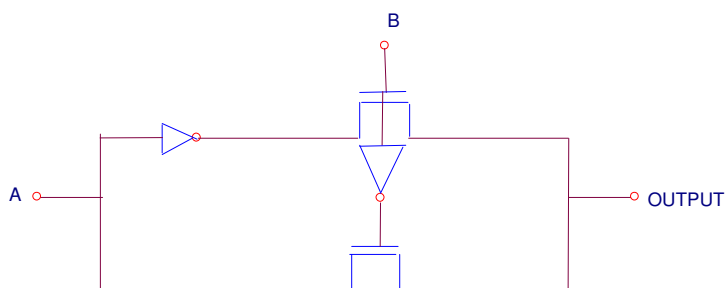
کد درس: ۱۵۱۱۰۵

تعداد کل صفحات: ۸

۱۳- کدام گزینه به ترتیب معرف معیار مقایسه خانواده های مدارهای منطقی و عملکرد بهتر آن می باشد؟

الف) تاخیر انتشار t_p و بیشتر بودنب) تلف توان P_D و کمتر بودنج) تلف توان P_D و بیشتر بودند) $D_p = t_p \cdot P_D$ و کمتر بودن

۱۴- تابع خروجی پیاده شده توسط مدار زیر کدام است ؟

الف) $A'B + AB$ ب) $A'B + AB'$ ج) $A' + B'$ د) هیچکدام

۱۵- کدام گزینه در مورد گیت انتقالی و ترانزیستور عبور صحیح است ؟

الف) ترانزیستور عبور برخلاف گیت انتقالی افت ولتاژ ایجاد نمی کند و سرعت تبدیل از صفر به یک بالایی دارد.

ب) گیت انتقالی بر خلاف ترانزیستور عبور افت ولتاژ ایجاد نمی کند و سرعت تبدیل از صفر به یک بالایی دارد.

ج) گیت انتقالی و ترانزیستور عبور افت ولتاژ ایجاد نمی کند و سرعت تبدیل از صفر به یک بالایی دارد. هیچکدام

۱۶- کدام گزینه در مورد مدارهای پویا غلط است ؟

الف) ورودی های مدار فقط در فاز پیش شارژ می تواند تغییر کند و در فاز ارزیابی باید ثابت بماند.

ب) مقاومت این مدارها نسبت به نویز کمتر است.

ج) به علت جریان نشتی ترانزیستورها خروجی بالا فقط برای مدت محدودی پایدار می ماند.

د) اشکال زدایی مدارهای پویا بسیار آسان است.

نام درس: مباحث الکترونیک دیجیتال

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

کد درس: ۱۵۱۱۰۵

تعداد سؤال: ۳۰ نمره: ۳۰ تکمیلی — تشریحی ۳

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

تعداد کل صفحات: ۸

۱۷- کدام گزینه در مورد مدارهای CMOS تفاضلی صحیح نیست؟

- (الف) به دلیل استفاده از دو خط سیم برای هر یک از سیگنال ها ، مساحت خطوط ارتباطی کاهش می یابد.
(ب) شبکه بار اغلب شامل دو ترانزیستور نوع P می باشد که باعث میشود تعداد و مساحت ترانزیستورهای سری شده کمتر از مدارات معمولی CMOS باشد.
(ج) باتعویض سیم های خروجی بدون هیچ تاخیر اضافه ای منطق وارون به راحتی بدست می آید.
(د) نسبت به نویز حساسیت کمتری دارد.

۱۸- کدام گزینه غلط است ؟

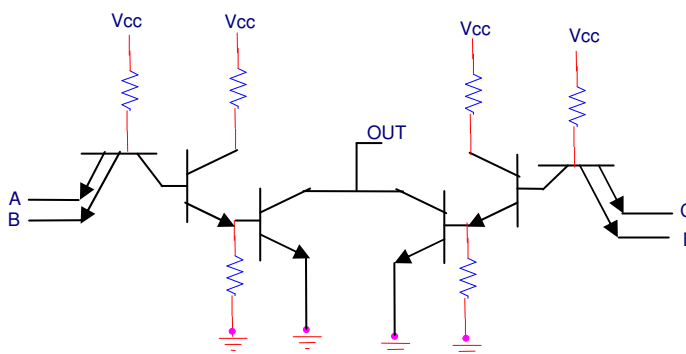
- (الف) لچ ها و فلیپ فلاپ ها به عنوان سلول های حافظه استفاده می شوند.
(ب) لچ ها حساس به سطح اند و فلیپ فلاپ ها حساس به لبه.
(ج) لچ ها فقط به صورت پویا و فلیپ فلاپ ها فقط به صورت ایستا می توانند پیاده سازی شوند.
(د) چگالی در حالت پویا بالاتر از حالت ایستا است.

۱۹- در مورد ترانزیستور دو قطبی کدام گزینه صحیح نیست ؟

- (الف) عرض بیس را معمولاً کوچکتر می سازند تا جریان رسیده از امیتر به راحتی به کلکتور برسد.
(ب) غلظت امیتر را معمولاً بالا می گیرند تا جریان دهی در جهت مستقیم بیشتر باشد.
(ج) عرض کلکتور را معمولاً کوچکتر می سازند تا بارهای رسیده از امیتر را به راحتی جمع کند.
(د) هر سه گزینه بالا غلط است.

۲۰- مدار کلکتور باز زیر کدام گزینه را پیاده سازی می کند :

- (الف) $(AB + CD)$ (ب) $(AB + CD)'$ (ج) $((AB)' + CD)$ (د) $(AB + (CD)')$



نام درس: مبنای الکترونیک دیجیتال

تعداد سؤال: ۳۰ نسی تکمیلی — تشریحی ۳

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

کد درس: ۱۵۱۱۰۵

تعداد کل صفحات: ۸

۲۱- کدام گزینه غلط است ؟

الف) گیت TTL از سه قسمت شامل طبقه ورودی ، جداساز فاز و طبقه خروجی تشکیل شده است.

ب) طبقه ورودی تابع OR را تحقق می بخشد .

ج) جداساز فاز ، یک زوج سیگنال مکمل برای تحریک طبقه خروجی تولید می کند.

د) طبقه خروجی شامل یک آرایش توتم پل می باشد.

۲۲- کدام گزینه صحیح نیست ؟

الف) در گیت TTL استاندارد وقتی یکی از ورودی ها در حالت پایین قرار دارد ، ترانزیستور چند امیتری در حالت فعال کار می کند.

ب) طبقه خروجی توتم پل از یک ترانزیستور کلکتور مشترک تشکیل شده است.

ج) برای افزایش سرعت TTL ترانزیستورها را در حالت اشباع قرار می دهند.

د) دیویدهای شاتکی به صورت پیوندهای فلز به نیم رسانا ساخته شده اند که افت ولتاژ مستقیم کمی دارند.

۲۳- کدام گزینه غلط است ؟

الف) منطق تزویج امیتری (ECL) سریعترین خانواده مدار منطقی بعد از GaAs است.

ب) طراحی گیت ECL چنان بهینه می شود که حاشیه های نویز بالا و پایین در آن برابر است و با تغییر دما نیز برابر بمانند.

ج) گیت ECL دو خروجی مکمل بدست می دهد که تابع های NAND , AND را تحقق می بخشد.

د) می توان با اتصال خروجی گیت های ECL تابع OR مرکب بدست آورد.

۲۴- کدام گزینه صحیح است ؟

الف) حاصلضرب تاخیر- توان در گالیوم آرسناید NMESFET نسبت به CMOS بیشتر است.

ب) بین خانواده های منطقی تراشه های دیجیتال از نوع GaAs کمترین اتلاف توان را دارند.

ج) بین خانواده های منطقی آی سی های دیجیتال از نوع CMOS کمترین تاخیر انتشاری را دارند.

د) CMOS سریعتر از NMOS است و توان کمتری نسبت به آن مصرف می کند.

نام درس: مباحث الکترونیک دیجیتال

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

کد درس: ۱۵۱۱۰۵

تعداد سؤال: ۳۰ نمره: ۳۰ تکمیلی — تشریحی: ۳

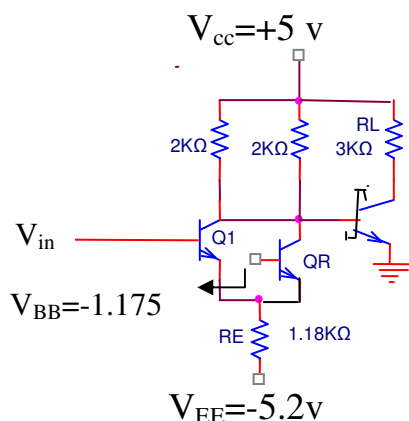
زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

تعداد کل صفحات: ۸

۲۵- کدام گزینه عملکرد مدار زیر را نشان می دهد؟

الف) مبدل MOS به STTL (ب) مبدل DTL به CMOS

ج) مبدل ECL به TTL (د) مبدل TTL به ECL



۲۶- کدام گزینه صحیح است؟

الف) CMOSها امکان مجتمع سازی بالاتری نسبت به دوقطبی دارند.

ب) سرعت کارکرد دوقطبی نسبت به CMOS کمتر است.

ج) قدرت تحریک در CMOS نسبت به دوقطبی بیشتر است.

د) هیچکدام.

۲۷- در مورد تکنولوژی Bicomس کدام گزینه صحیح است؟

الف) مصرف زمان کمتر نسبت به دوقطبی ها.

ب) هزینه بالای ساخت.

ج) زمان ساخت طولانی در کارخانه.

د) همه موارد.

۲۸- کدام گزینه در مورد تکنولوژی گالیم آرسناید غلط است؟

الف) در برابر تشعشع دارای مقاومت بالاست.

ب) کاهش توان مصرفی.

ج) دارای خواص نوری و الکتریکی است.

د) قابلیت تحریک پذیری بالای الکترون در سیلیکون نسبت به گالیوم آرسناید.

۲۹- کدام گزینه در مورد گیت DCFL صحیح است؟

الف) تفاوت ولتاژ خروجی بالا و پایین کم است.

ب) مصرف توان زیادی دارد.

ج) دارای پاسخ های گذرای متقارن است.

د) همه موارد.

نام درس: مبانی الکترونیک دیجیتال

رشته تحصیلی: گرایش: مهندسی فناوری اطلاعات

کد درس: ۱۵۱۱۰۰۵

تعداد سؤال: ۳۰ نسی تکمیلی — تشریحی ۳

زمان امتحان: تستی و تکمیلی ۱۰۰ دقیقه تشریحی ۵۰ دقیقه

تعداد کل صفحات: ۸

۳۰- توان مصرفی ایستا در معکوس کننده CMOS با مشخصات زیر کدام گزینه است؟

$$V_{Tn}=1\text{v}$$

$$V_{Tp}=-1\text{v}$$

$$W_p/L_p=25\mu\text{m}/10\mu\text{m}$$

$$W_n/L_n=10\mu\text{m}/10\mu\text{m}$$

$$K'_n=2.5K'_p=20\mu\text{A}/\text{V}^2$$

(د) هیچکدام

(ج) $250\mu\text{W}$

(ب) $220\mu\text{W}$

"سؤالات تشریحی"

۱- تابع $F=(AB+(C+D)'+E)'$ را با استفاده از ترانزیستورهای NMOS پیاده سازی کنید.

۲- اگر در گیت NAND در ورودی نوع DTL هر دو ورودی در سطح بالا باشد جریان بیس ترانزیستور

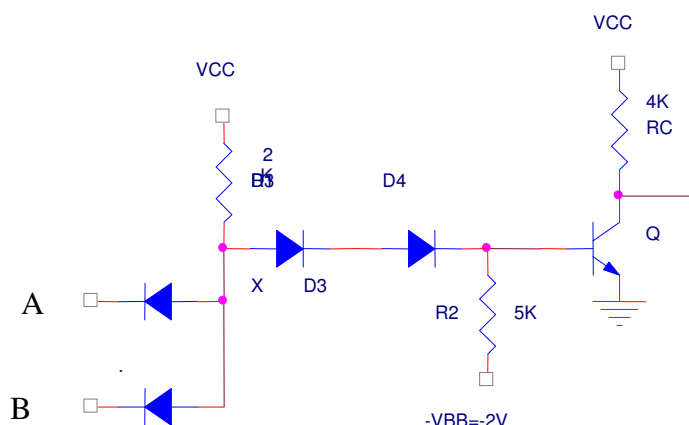
Q را بدست آورده و B را در این حالت حساب کنید.

$$V_{CC}=4\text{v}$$

$$-V_{BB}=-2\text{V}$$

$$V_{CE-sat}=0.2\text{V}$$

$$V_{BE(EN)}=0.7$$



۳- در مدار پایه معکوس کننده BiCMOS شکل زیر مقاومت های غیر فعال را با مقاومت های فعال (NMOS)

جایگزین نموده سپس برای ایجاد نوسان کامل بین صفر و VDD از یک معکوس کننده CMOS موازی در

خروجی استفاده نموده و شکل مدار تکمیل شده را رسم نمایید.

