

کد کنترل

331

F

آزمون (نیمه متمرکز) ورود به دوره های دکتری - سال ۱۴۰۱

دفترچه شماره (۱)

صبح جمعه ۱۴۰۰/۱۲/۶



جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان سنجش آموزش کشور

«اگر دانشگاه اصلاح شود مملکت اصلاح می شود.»
امام خمینی (ره)

رشته مهندسی کامپیوتر - معماری
(کد ۲۳۵۵)

جدول مواد امتحانی، تعداد، شماره سؤال ها و زمان پاسخ گویی

زمان پاسخ گویی	تأ شماره	از شماره	تعداد سؤال	مواد امتحانی
۱۵۰ دقیقه	۴۵	۱	۴۵	مجموعه دروس تخصصی: - مدار منطقی و معماری کامپیوتر - معماری کامپیوتر پیشرفته - VLSI پیشرفته

استفاده از ماشین حساب مجاز نیست.

این آزمون نمره منفی دارد.

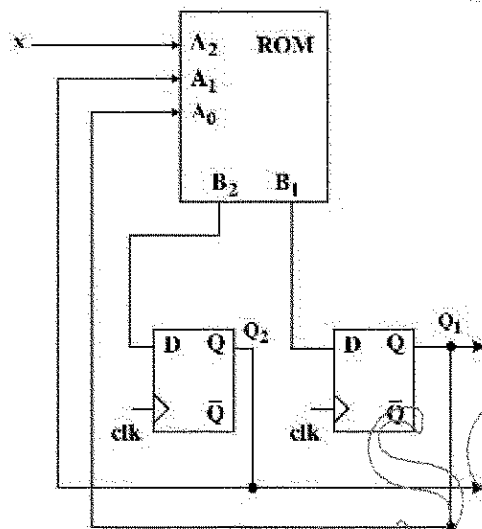
حق چاپ، تکثیر و انتشار سؤال ها به هر روش (الکترونیکی و ...) پس از برگزاری آزمون، برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می باشد و با متخلفان برابر مقررات رفتار می شود.

* متقاضی گرامی، وارد نکردن مشخصات و امضا در کادر زیر، به منزله غیبت و حضور نداشتن در جلسه آزمون است.

اینجانب با شماره داوطلبی با آگاهی کامل، یکسان بودن شماره صندلی خود را با شماره داوطلبی مندرج در بالای کارت ورود به جلسه، بالای پاسخنامه و دفترچه سؤال ها، نوع و کد کنترل درج شده بر روی دفترچه سؤال ها و پایین پاسخنامه ام را تأیید می نمایم.

امضا:

۱- جدول حالت یک ماشین حالت به صورت زیر است. ورودی مدار x و خروجی های مدار، همان خروجی های فلیپ فلاپ ها (Q_2, Q_1) هستند. در صورتی که این ماشین حالت مطابق شکل زیر با ROM پیاده سازی شود، محتویات آن از خانه صفر تا خانه ۷ به ترتیب (از چپ به راست) چیست؟ A_2 بیت با بیشترین ارزش آدرس و B_2 بیت با بیشترین ارزش داده است



$Q_2 Q_1$	$Q_2^+ Q_1^+$	
	$x=0$	$x=1$
00	01	00
01	10	00
10	11	01
11	00	01

حالت جاری: $Q_2 Q_1$

حالت بعدی: $Q_2^+ Q_1^+$

(1) 00, 01, 00, 10, 01, 11, 01, 00

(2) 01, 10, 11, 00, 00, 00, 01, 01

(3) 01, 00, 10, 00, 11, 01, 00, 01

(4) 01, 10, 11, 01, 00, 00, 01, 01

۲- در تابع زیر، در صورت پیاده سازی به صورت حاصل جمع حاصل ضرب ها (SOP) با حداقل تعداد گیت، چند مخاطره (Hazard) وجود دارد؟

$$F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 7, 8, 9, 10) + \sum d(15)$$

۱ (۱)

۲ (۲)

۳ (۳)

۴ (۴)

۳- کمترین تعداد مالتی پلکسهای ۲ به ۱ مورد نیاز جهت پیاده سازی تابع F کدام است؟

$$F = x_1 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_1 \bar{x}_2 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_2 \bar{x}_3 (\bar{x}_4 x_5 + x_4 x_6) + \bar{x}_1 x_2 (\bar{x}_4 x_5 + x_4 x_6) + x_1 x_3 (\bar{x}_4 x_5 + x_4 x_6)$$

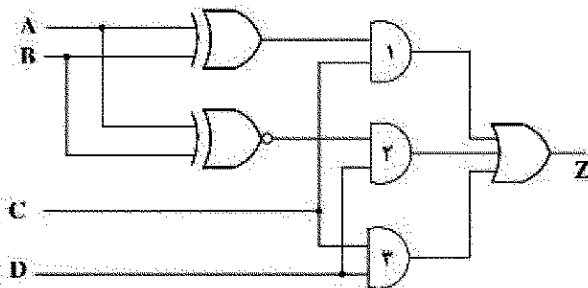
۲ (۱)

۳ (۲)

۵ (۳)

۴ (۴)

۴- در مدار زیر، کدام یک از گیت ها اضافی است؟



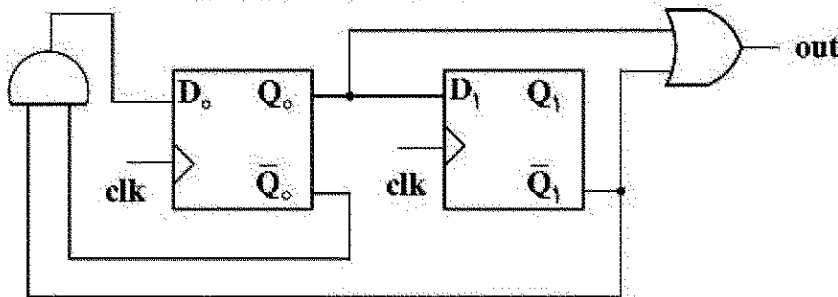
۱ (۱)

۲ (۲)

۳ (۳)

هیچ کدام (۴)

۵- با فرض اینکه سیگنال clk، فرکانس ۳۰ kHz داشته باشد، فرکانس سیگنال out چند کیلوهرتز است؟



۱۰ (۱)

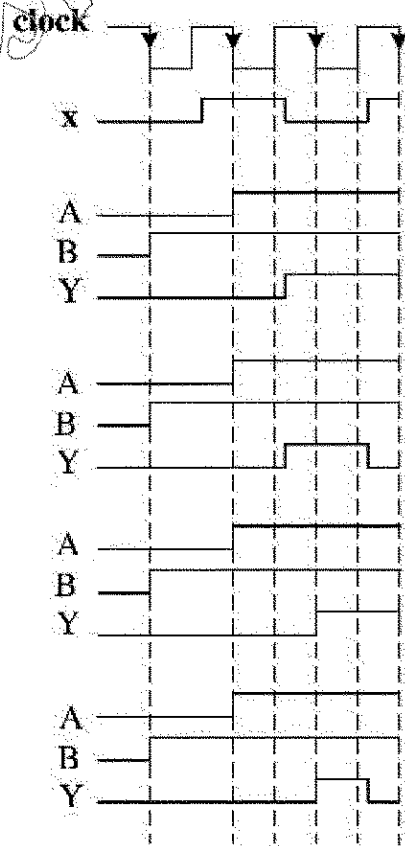
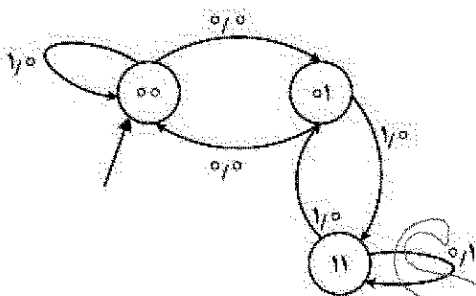
۱۵ (۲)

۳۰ (۳)

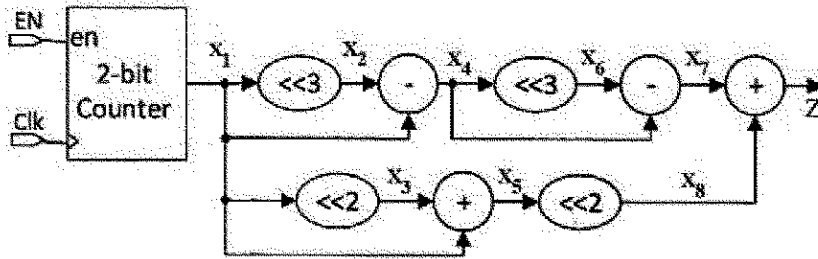
۶۰ (۴)

۶- برای ماشین حالت زیر، با فرض آنکه مدار از حالت $AB = 00$ شروع به کار کند، شکل موج خروجی های فلیپ فلاپ ها

(A و B) و خروجی مدار (Y) کدام است؟ (X ورودی مدار است.)



- ۷- فرض کنید که مقدار اولیه شمارنده ۲ بیتی صفر و سیگنال EN در تمامی سیکل ها مقدار یک دارند. همچنین فرض کنید که تمامی متغیرهای میانی (x_1 الی x_8) و خروجی ۸ بیتی هستند. مدار زیر چه خروجی هایی را طی چهار سیکل تولید می کند؟

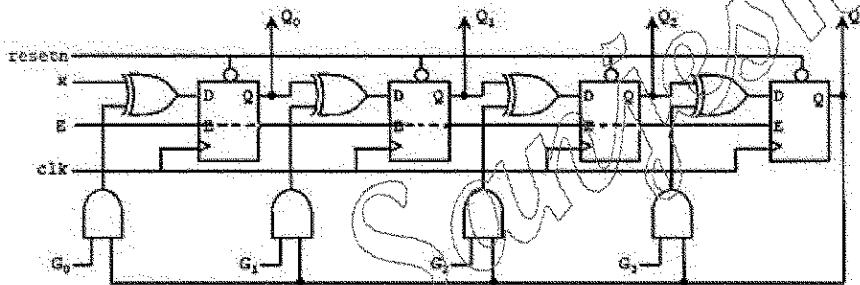


- (۱) $0 \rightarrow 80 \rightarrow 160 \rightarrow 240$
(۲) $0 \rightarrow 69 \rightarrow 138 \rightarrow 207$
(۳) $0 \rightarrow 76 \rightarrow 152 \rightarrow 228$
(۴) $0 \rightarrow 54 \rightarrow 108 \rightarrow 162$

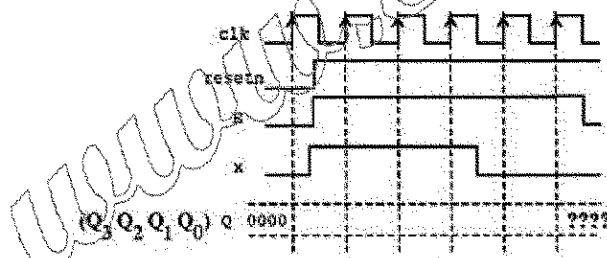
$\ll n$: n بیت شیفت به چپ با ورود صفر از سمت راست

جمع: $+$ تفریق: $-$

- ۸- مدار زیر را در نظر بگیرید که شامل چهار فلیپ فلاپ D و خروجی با ترتیب (Q_3, Q_2, Q_1, Q_0) با مقدار اولیه ۰۰۰۰ است. در صورتی که ورودی $G_0, G_1, G_2, G_3 = 1001$ و سایر ورودی ها مطابق شکل موج زیر به مدار اعمال شوند، خروجی مدار بعد از لبه ششم کلاک چه مقداری است؟



- (۱) ۱۰۱۰
(۲) ۰۱۰۰
(۳) ۰۱۱۰
(۴) ۰۱۰۱



- ۹- اگر هزینه گیت NAND به اندازه تعداد ورودی های آن باشد، کمترین هزینه لازم برای پیاده سازی همزمان دو تابع با استفاده از فقط گیت های NAND چقدر است؟ (از هزینه گیت NOT صرف نظر کنید).

$$f(a,b,c,d) = \sum m(0,4,6,7) + d(1,5,10,14)$$

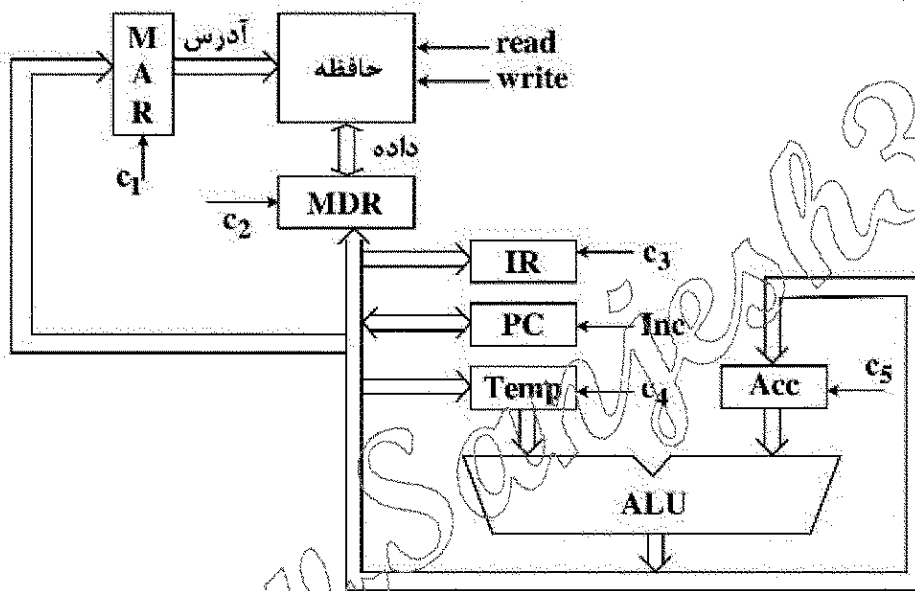
$$g(a,b,c,d) = \sum m(0,4,6,11) + d(7,10,14,15)$$

- (۱) ۱۳
(۲) ۱۴
(۳) ۱۵
(۴) ۱۶

۱۰- فرض کنید تابع $f(a, b, c, d) = \sum m(0, 4, 7, 11) + d(3, 5, 10, 15)$ داده شده است. در این تابع، تعداد عوامل اولیه (Prime Implicant) و عوامل اولیه ضروری (Essential Prime Implicant) به ترتیب (از راست به چپ) کدام مورد است؟

- (۱) ۴ و ۲
(۲) ۵ و ۱
(۳) ۴ و ۱
(۴) ۵ و ۲

۱۱- طبق شکل زیر، کدام یک از گزاره ها مربوط به دستورالعمل Add X است؟ (X آدرس یک عملوند در حافظه است که در MAR قرار گرفته و حاصل جمع در انباشتگر ذخیره می شود. همین طور فرض شده است خطوط Load یا کنترل ثبات ها و سایر اجزاء توسط واحد کنترل به موقع تأمین می شود.)



$t_1: MDR \leftarrow M[MAR]$

$t_2: ACC \leftarrow MDR$ (۲)

$t_3: ACC \leftarrow ACC + Temp$

$t_1: MDR \leftarrow M[MAR]$

$t_2: Temp \leftarrow MDR$ (۴)

$t_3: ACC \leftarrow Temp + ACC$

$t_1: Temp \leftarrow MAR$

$t_2: ACC \leftarrow Temp + ACC$ (۱)

$t_1: Temp \leftarrow M[MAR]$

$t_2: ACC \leftarrow Temp + ACC$ (۳)

۱۲- طول دستورالعمل یک پردازنده ۱۲ بیت است و کلاً ۱۶ ثبات (Register) دارد. مشخص کنید کدام ترکیب دستورات امکان پذیر است؟ (عملوند: (Operand) در اینجا همان ثبات است.)

(۱) ۱۶ دستور دو عملوندی و ۱۶ دستور تک عملوندی و ۴۰۶۴ دستور بدون عملوند

(۲) ۱۵ دستور دو عملوندی و ۱۵ دستور تک عملوندی و ۱۶ دستور بدون عملوند

(۳) ۱۵ دستور دو عملوندی و ۱۶ دستور تک عملوندی و ۴۰۶۵ دستور بدون عملوند

(۴) ۱۵ دستور دو عملوندی و ۱۵ دستور تک عملوندی و ۱۵ دستور بدون عملوند

- ۱۳- مشخصات دو کامپیوتر A و B به شرح زیر داده شده است و فرض می کنیم n تعداد دستورات اجرا شده روی هر کامپیوتر و f فرکانس است. کدام عبارت درست است؟ (CPI: Clock Per Instruction)

	CPI	f	n
A	۱/۸	۲ GHz	10^9
B	۱/۵	۱/۵ GHz	0.8×10^9

$$t_{exA} > t_{exB} \text{ و } MiPS_A > MiPS_B \quad (۱)$$

$$t_{exA} < t_{exB} \text{ و } MiPS_A < MiPS_B \quad (۲)$$

$$t_{exA} < t_{exB} \text{ و } MiPS_A > MiPS_B \quad (۳)$$

$$t_{exA} > t_{exB} \text{ و } MiPS_A < MiPS_B \quad (۴)$$

- ۱۴- دو عدد علامت دار $A = S a_1 \dots a_{n-1}$ و $B = S' b_1 \dots b_{n-1}$ را در نظر بگیرید که S و S' نشان دهنده بیت علامت هستند. در کدام حالت، جمع دو عدد به طور قطع سرریز ایجاد نمی کند؟

$$S \odot S' = ۱ \quad (۲)$$

$$S \oplus S' = ۱ \quad (۱)$$

$$S \cdot S' = ۱ \quad (۴)$$

$$S + S' = ۱ \quad (۳)$$

- ۱۵- مشخص کنید برنامه R.T.L زیر، کدام مد آدرس دهی را توصیف می کند؟ (A و B ثبات های داخلی پردازنده هستند).

$$t_1: A \leftarrow PC$$

$$t_2: PC \leftarrow A + B$$

(۲) آدرس دهی آبی

(۴) آدرس دهی نسبی

(۱) آدرس دهی مبتنی بر پایه و Index

(۳) آدرس دهی مستقیم

- ۱۶- برنامه زیر داده شده است:

$$C_1: A \leftarrow A + ۱, M[MAR] \leftarrow B, PC \leftarrow PC + ۱;$$

$$C_2: B \leftarrow B - ۱, SC \leftarrow SC + ۱;$$

$$C_3: C \leftarrow A + B, D \leftarrow D - ۱;$$

$$C_4: E \leftarrow E + B, A \leftarrow D;$$

$$C_5: F \leftarrow M[MAR], G \leftarrow G + ۱;$$

مشخص کنید درست ترین جواب کدام است؟

- (۱) گزاره های C_1, C_2 و C_3 می توانند همزمان اجرا شوند ولی C_4 با C_1 و C_5 با C_1 در تعارض است و فقط یکی از آنها قابل اجرا است.

- (۲) گزاره های C_2 با C_4 و همین طور C_1 با C_4 در تعارض است. لذا بقیه می توانند همزمان اجرا شوند.

- (۳) گزاره های C_1, C_2, C_3 و C_4 می توانند همزمان اجرا شوند ولی C_5 نمی تواند با آنها همزمان اجرا شود.

- (۴) همه گزاره های R.T.L می توانند همزمان اجرا شوند.

- ۱۷- اگر عدد $29/99 \dots 9$ در یک سیستم نمایش اعداد ممیز - شناور با فرمت زیر برابر با $C2DEF_{۱۶}$ شود، مقدار

بایاس (Bias) و اندازه بخش توان (E) و اندازه بخش اعشاری (F) بر حسب بیت چقدر است؟ (S بیت علامت است).

$$(-1)^S \times ۱, F \times ۲^{E-Bias}$$

- (۱) اندازه E ۷ بیت، اندازه F ۱۲ بیت و بایاس برابر ۱۲۷ است.

- (۲) اندازه E ۷ بیت، اندازه F ۱۲ بیت و بایاس برابر ۶۳ است.

- (۳) اندازه E ۶ بیت، اندازه F ۱۳ بیت و بایاس برابر ۶۳ است.

- (۴) اندازه E ۶ بیت، اندازه F ۱۳ بیت و بایاس برابر ۳۱ است.

S	E	F
---	---	---

MSB

LSB

۱۸- برنامه ای حاوی ۴ نوع دستورالعمل جمع، ضرب، تقسیم و ارجاع به حافظه است که به ترتیب ۳۰٪، ۲۰٪، ۱۰٪ و ۴۰٪ از کل زمان اجرای برنامه صرف آنها می شود. کدام یک از بهبودهای زیر منجر به دستیابی کارایی بیشتر نسبت به بقیه حالت ها در اجرای این برنامه خواهد شد؟

(۱) دستورهای از نوع جمع و ارجاع به حافظه ۲ برابر سریع تر شوند.

(۲) دستورهای از نوع ضرب و تقسیم ۳۰ برابر سریع تر شوند.

(۳) فقط دستورهای ارجاع به حافظه ۷ برابر سریع تر شوند.

(۴) فقط دستورهای جمع ۵ برابر سریع تر شوند.

۱۹- یک حافظه نهان (Cache) با ساختار 2-way set associative و با ظرفیت ۸ بلوک ۴ کلمه ای موجود است. اگر اعداد زیر آدرس کلمه هایی باشند که به ترتیب از چپ به راست توسط پردازنده تولید می شوند، کدام یک از این آدرس ها مستقل از روش جایگزینی بلوک ها، حتماً منجر به Hit در Cache می شوند؟ (Cache در ابتدای کار خالی است).
۵، ۱۸، ۱۷، ۸، ۱۱، ۷، ۵، ۰

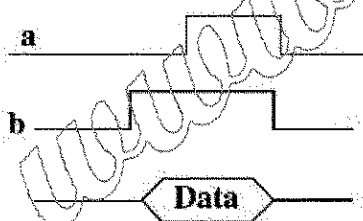
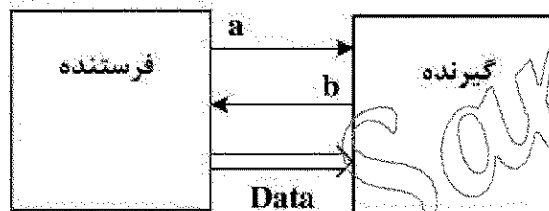
(۱) ۵، ۱۸، ۱۷

(۲) ۵، ۷، ۸

(۳) ۱۷، ۱۸

(۴) ۵، ۱۸

۲۰- شکل زیر سیگنال های ارتباطی بین یک فرستنده اطلاعات و دریافت کننده اطلاعات در یک سیستم I/O کامپیوتری را نشان می دهد. شکل زیرین ترتیب ارسال آنها و تبادل داده را در زمان نشان می دهد. مشخص کنید درست ترین جواب کدام است؟



(۱) درخواست اطلاعات توسط گیرنده از فرستنده و دریافت آن براساس:
{ a : Request
b : Valid

(۲) ارسال اطلاعات به ابتکار فرستنده به سمت گیرنده بر مبنای:
{ a : Request
b : Acknowledge

(۳) درخواست اطلاعات توسط گیرنده از فرستنده و دریافت آن با:
{ a : Valid
b : Request

(۴) ارسال اطلاعات به ابتکار فرستنده به سمت گیرنده بر مبنای:
{ a : Valid
b : Acknowledge

۲۱- در یک برنامه فقط ۳۰٪ آن قابل موازی سازی است و کلاً ۷ پردازنده با سرعت یکسان داریم. مشخص کنید در صورت به کارگیری این پردازنده ها سرعت چقدر می تواند بهبود یابد؟

(۱) ۳۰٪ (۲) ۳۵٪

(۳) ۲۵۰٪ (۴) ۷۰۰٪

۲۲- نرخ اصابت (Hit ratio) حافظه نهان برابر ۹۰٪ و زمان دسترسی به آن ۱ns است. داده هایی که در حافظه اصلی نیز از روی دیسک آورده و قرار می گیرند، نرخ اصابتی برابر ۹۵٪ و زمان دسترسی ۱۰ns دارند. زمان دسترسی به دیسک ۱ms است. زمان متوسط دسترسی به این سیستم حافظه چقدر است؟

(۱) ۱۶ns (۲) ۱۱/۹ns

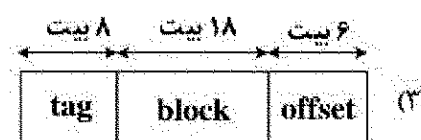
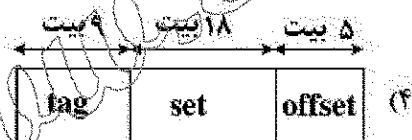
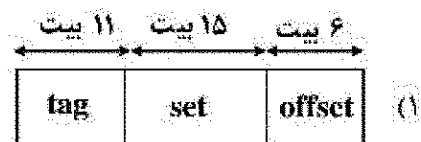
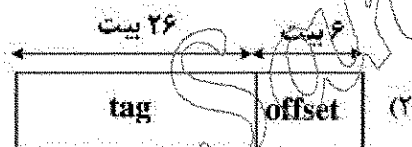
(۳) ۶/۹ns (۴) ۷۰۹۶ms

۲۳- ۱۰٪ دستورات یک برنامه خواندن از حافظه با تأخیر ۵.۲T، دستورات نوشتن در حافظه با تأخیر ۳T، ۶۵٪ دستورات محاسباتی با تأخیر ۱T و ۲۰٪ دستورات انشعاب با تأخیر ۲T است. پس از بهبود الگوریتم و کد برنامه توانستیم دستورات انشعاب و دستورات نوشتن در حافظه را به ترتیب به ۱۰٪ و ۲٪ کل دستورات برسانیم و به همین میزان دستورات محاسباتی اجرا کنیم. زمان اجرای برنامه چند درصد بهبود یافته است؟

(۱) ۹ (۲) ۱۰

(۳) ۱۱ (۴) ۱۲

۲۴- در یک سیستم حافظه که شامل ۴ GB حافظه اصلی و ۱۶ MB حافظه نهان (Cache) با ساختار شرکت پذیر مجموعه ای ۸ راهه (۸-way set associative) است، میادین (Fields) مختلف آدرس پردازنده کدام است؟ (هر بلوک حافظه شامل ۶۴ بایت است).



۲۵- یک خط لوله دستورالعمل (Instruction pipeline) دارای ۵ طبقه است که هر کدام با کلاک ۱ns کار می کنند. فرض کنید که از لحظه صفر، ۱۰۰ دستور به ترتیب وارد پایپلاین شده و اجرا می شوند و در لحظه ورود دستور صد و یکم یک وقفه یا درهم قفلی (Interlock) در پایپلاین به مدت ۲۵ کلاک رخ می دهد و پس از آن ۲۵ دستور باقیمانده دیگر نیز اجرا می شوند. زمان پایان محاسبات با فرض اینکه هم ۱۰۰ دستور اول بی وقفه اجرا می شوند و هم ۲۵ دستور تازه وارد، چند نانوثانیه است؟

(۱) ۱۵۰

(۲) ۱۵۴

(۳) ۱۵۶

(۴) ۱۵۸

۲۶- فرض کنید یک کامپیوتر برداری که به صورت SIMD دستورات برداری را اجرا می کند، دارای ۶۴ پردازنده است و هر عمل برداری را در ۲ns اجرا می کند. اگر عمل برداری $C = A + B$ را روی بردارهای A و B که هر کدام ۱۹۵ درایه دارند انجام دهیم، کلاً چند نانوثانیه زمان صرف می شود؟

(۱) ۶

(۲) ۶/۰۵

(۳) ۷/۰۵

(۴) ۸

۲۷- در یک شبکه میان ارتباطی از نوع فوق مکعب (Hypercube) با کلاً ۶۴ پردازنده، تعداد گره های همسایه هر پردازنده و عرض مقطع دو نیمه (Bisection width) به ترتیب (از راست به چپ) چقدر است؟

(۱) ۳۲، ۶

(۲) ۳۲، ۸

(۳) ۶۴، ۶

(۴) ۶۴، ۶۴

۲۸- می خواهیم جمع ۸ عدد را روی یک کامپیوتر ۸ پردازنده ای که به شکل مکعب به هم متصل هستند انجام دهیم. هر جمع زدن ۱ns و هر انتقال داده (مثل حاصل جمع جزئی) بین پردازنده های مجاور ۵ns طول می کشد. زمان اجرای برنامه موازی جمع این ۸ عدد، با فرض اینکه هر عدد روی یک پردازنده چیده شده باشد، چند نانوثانیه طول خواهد کشید؟

(۱) ۱۶

(۲) ۱۸

(۳) ۴۱

(۴) ۴۸

۲۹- در اجرای چند ریسمانی همزمان (Simultaneous Multi-threading) هر دستور هر ریسمان روی هر هسته
(۱) تا وقتی که دچار فقدان حافظه نهان (Cache miss) یا وابستگی به دستورات دیگر نشود، به صورت موازی با دیگر دستورات اجرا می شود.

(۲) یک کلاک اجرا می شود و نوبت را به دیگر دستورات قابل اجرا می دهد.

(۳) تا وقتی که وقفه ای از سیستم عامل نیاید، به کار خود ادامه می دهد.

(۴) تا وقتی که هسته ای موجود باشد، اجرا می شود.

۳۰- N_1 عدد روی پردازنده P_1 و N_2 عدد روی پردازنده P_2 قرار دارد. زمان ارتباط بین دو پردازنده برابر ۱۰۰۰ و زمان جمع زدن دو عدد روی هر پردازنده τ است. به کدام شرط (شروط) پردازش موازی زمان بهتری نسبت به جمع همه اعداد روی یک پردازنده خواهد داشت؟

(۱) $N_1 + N_2 > 1000$

(۲) $N_1 = N_2 = 1000$

(۳) $N_1 = N_2 + 1000, N_2 > 1$

(۴) $N_2 > 1, N_1 = N_2 + 99$

۳۱- جدول زیر Reservation Table یک پایپلاین غیرخطی با سه مرحله را نشان می دهد.
Minimum Average Latency چقدر است؟

1	2	3	4	5	6
X		X			
	X			X	
			X		X

(۱) ۲/۵

(۲) ۳/۵

(۳) ۴

(۴) ۶

۳۲- در یک پردازنده با ۸ هسته پردازشی و فرکانس کاری ۲ گیگاهرتز، ۲۰ درصد دستورات در هسته ها نیاز به ارتباط با سایر هسته ها دارند و به ازای آن دستورات، عملیات هسته مربوطه تا اجابت درخواست به مدت ۲ نانوثانیه متوقف می شود. اگر CPI در پردازنده در حالتی که به ارتباط بین هسته ها نیاز نباشد برابر ۵/۲ باشد، CPI این پردازنده با در نظر گرفتن ارتباط بین هسته ها چه عددی خواهد بود؟

(۱) ۵/۶

(۲) ۵/۲

(۳) ۱

(۴) ۲

۳۳- اجرای بایپ لاین پنج مرحله ای دستورات شامل واکنشی دستور (IF)، رمزگشایی و به دست آوردن عملوندها (ID)، اجرا (EX)، مراجعه به حافظه داده (DM) و ذخیره نتیجه در ثباتها (WB) است. با فرض اینکه امکان استفاده از تکنیک روانه سازی (forwarding) وجود داشته باشد، اجرای دستورات زیر نیاز به چند عمل forwarding دارد؟

LD	X5, 20(X1)
ADD	X1, X2, X5
ST	40(X6), X1
SUB	X7, X1, X4
XOR	X8, X9, X4

- (۱) ۵
(۲) ۴
(۳) ۳
(۴) ۲

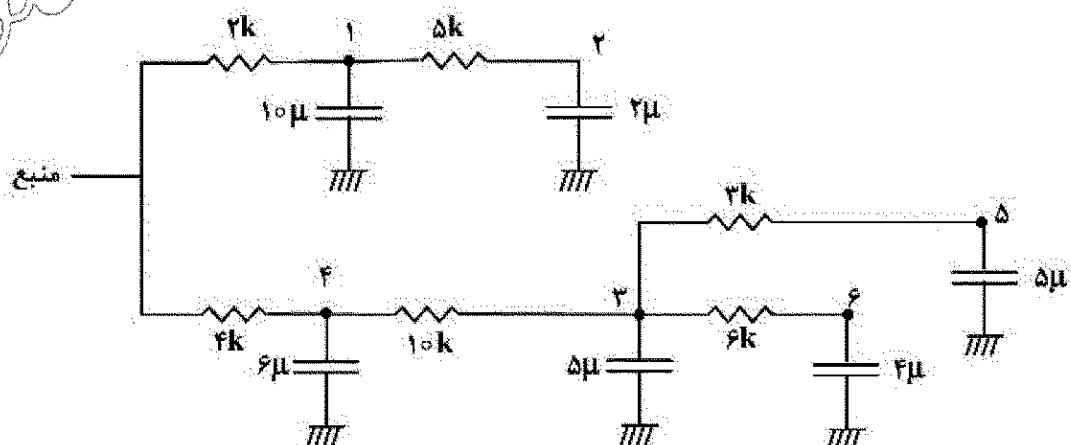
۳۴- در یک پردازنده، حافظه نهان دستور و داده مجزا و اندازه هر کدام ۱۶kB است. فرض کنید زمان دسترسی به حافظه نهان (Hit time) ۱ نالس ساعت و هزینه مراجعه به حافظه اصلی در صورت نبود داده یا دستور در حافظه نهان (miss penalty) ۱۰۰ نالس ساعت باشد. نرخ فقدان (miss rate) حافظه نهان دستور ۲ درصد و نرخ فقدان حافظه نهان داده یک درصد است. در یک برنامه ۲۰ درصد از دستورات از نوع مراجعه به حافظه است. میانگین زمان دسترسی به سیستم حافظه چند نالس ساعت است؟

- (۱) ۳,۴
(۲) ۳
(۳) ۲,۸
(۴) ۲,۴

۳۵- مخاطرات داده ای (Data hazard) RAW و WAW به ترتیب نشانگر کدام مورد است؟

- (۱) وابستگی دستور بعدی به خروجی دستور قبلی و یکسانی ورودی دستور بعدی و قبلی است.
(۲) وابستگی دستور بعدی به خروجی دستور قبلی و یکسانی مقصد دستور بعدی و قبلی است.
(۳) وابستگی دستور قبلی به خروجی دستور بعدی و یکسانی خروجی دستور بعدی است.
(۴) وابستگی دستور قبلی به نتیجه انشعاب و وابستگی دستور بعدی به دستور قبلی است.

۳۶- تأخیر گره ۳ در شبکه زیر، به روش Elmore چند میلی ثانیه است؟



- (۱) ۲۲۰
(۲) ۲۴۰
(۳) ۲۵۴
(۴) ۲۶۹

۳۷- پردازنده ای را در فرایند $0.18\mu m$ میکرومتر با ولتاژ تغذیه $1.2V$ ولت در نظر بگیرید. مساحت این پردازنده $0.8\mu m^2$ میلی متر مربع و توان مصرفی آن $3/6$ میلی وات است. اگر فرایند به $90nm$ نانومتر با ولتاژ منبع تغذیه $1.0V$ ولت مقیاس یابد، با فرض ثابت بودن خازن های داخلی و فرکانس کلاک، مساحت (برحسب میلی متر مربع) و توان مصرفی پردازنده (برحسب میلی وات)، به ترتیب (از راست به چپ) چقدر خواهد بود؟

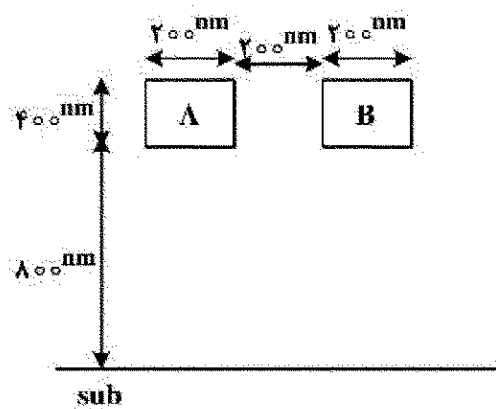
(۱) $2.5, 0.2$

(۲) $5, 0.2$

(۳) $5, 0.4$

(۴) $2.5, 0.4$

۳۸- دو خط فلز شماره ۱ به موازات یکدیگر رسم شده اند. با فرض رها بودن (عدم وجود تحریک) خط B، نویز حاصل از تغییر ولتاژ خط A از ۰ به V_{DD} بر روی خط B چند V_{DD} است؟



(۱) $\frac{1}{9}$

(۲) $\frac{1}{5}$

(۳) $\frac{4}{5}$

(۴) $\frac{8}{9}$

۳۹- یک نوسان ساز که از N عدد گیت معکوس کننده یاب (با کمترین ابعاد ممکن برای ترانزیستورهایش) تشکیل شده است، سیگنال کلاک با چه فرکانسی (برحسب GHz) تولید می کند؟ (N عددی فرد است و ضریب فناوری α برابر $15ps$ است.)

(۱) $60N$

(۲) $\frac{100}{2N}$

(۳) $30N$

(۴) $\frac{100}{6N}$

۴۰- یک خازن $0.2pF$ در انتهای یک سیم فلزی به طول $4\mu m$ میلی متر با مقاومت واحد طول $0.5\Omega/\mu m$ و خازن واحد طول $0.2fF/\mu m$ وجود دارد. این سیم و خازن توسط یک بافر با مقاومت خروجی 100Ω اهم تحریک می شود. اگر مدل تأخیر سیم به صورت مدل π باشد، ثابت زمانی Elmore شارژ خازن و سیم چند پیکوثانیه است؟

(۱) ۳۴

(۲) ۳۶

(۳) ۶۴

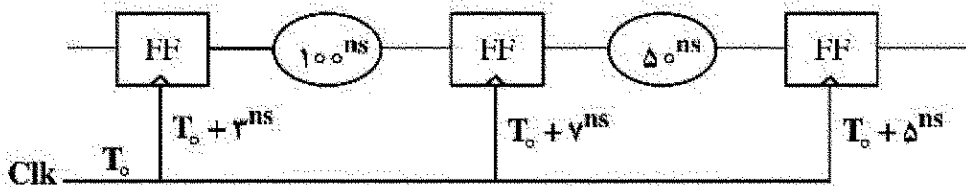
(۴) ۷۶

۴۱- کدام عبارت در مورد تأثیر رسم چینش بر توان و انرژی مصرفی تراشه درست است؟

- (۱) همزمان نمی توان تأخیر و توان را با هم کاهش داد.
- (۲) می توان تأخیر، توان و انرژی را همزمان کاهش داد.
- (۳) می توان توان مصرفی را کاهش داد اما بر انرژی تأثیر ندارد.
- (۴) می توان تأخیر سلول ها را کاهش داد، اما بر مصرف انرژی تأثیر ندارد.

۴۲- در مدار شکل زیر، تأخیر دریافت سیگنال کلاک (ساعت) در ورودی هر فلیپ فلاپ و تأخیر بخش ترکیبی مشخص شده است. حداقل پر بود کلاک (ساعت) سیستم بدون در نظر گرفتن زمان برپایی (Setup time) و تأخیر فلیپ فلاپ

چقدر است؟



- (۱) $100 - 4$
- (۲) $100 + 3$
- (۳) $100 + 4$
- (۴) $100 + 7$

۴۳- کدام ویژگی در فناوری FinFET بدتر از فناوری MOSFET است؟

- (۱) جریان نشتی
- (۲) هزینه ساخت
- (۳) سرعت سوئیچینگ
- (۴) اثرات کانال کوتاه

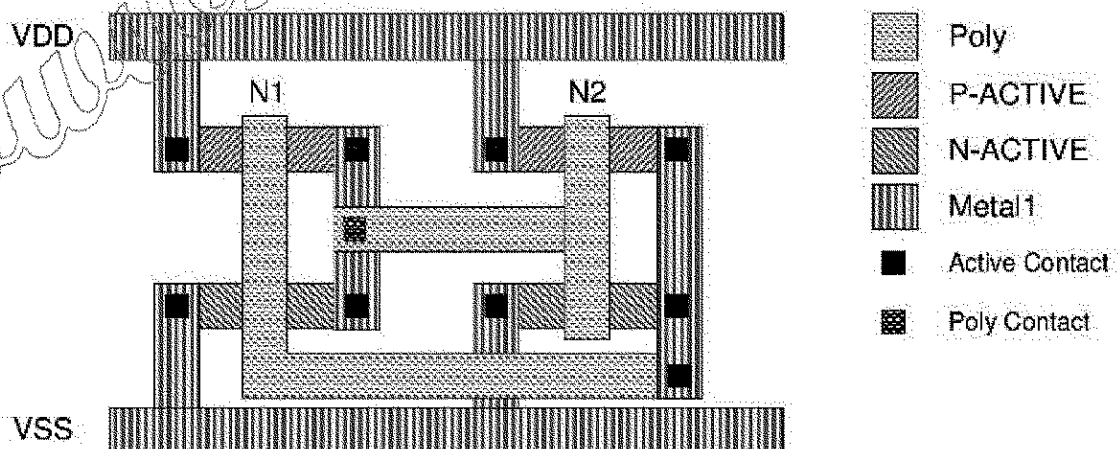
۴۴- یک مدار دومینو برای محاسبه $F = (A + B)(C + D)$ با بیشترین سرعت ممکن طراحی نموده ایم. در این طراحی،

هر ورودی قادر است حداکثر 30λ عرض ترانزیستور داشته باشد و خروجی می تواند باری معادل 500λ عرض ترانزیستور را هدایت کند. اندازه تقریبی ترانزیستورهای PMOS و NMOS در معکوس کننده خروجی برای

دستیابی به کمترین تأخیر (به ترتیب)، در کدام گزینه آمده است؟

- (۱) معادل ۱۱۱ و معادل ۲۸ عرض ترانزیستور
- (۲) معادل ۲۲۱ و معادل ۵۴ عرض ترانزیستور
- (۳) معادل ۱۰۰ و معادل ۲۶ عرض ترانزیستور
- (۴) معادل ۲۲۰ و معادل ۲۸ عرض ترانزیستور

۴۵- چینش زیر نشان دهنده کدام گیت یا عنصر الکترونیکی است؟



(۲) یک بیت حافظه استاتیک

(۴) نوسان ساز حلقوی

(۱) بافر دو طبقه

(۳) یک بیت حافظه دینامیک