

کاربرد ممریستور در حافظه های غیر فرار و پیاده سازی گیت های منطقی

افسانه شادآرام^۱، ستار میرزا کوچکی^۲، فرحناز ذاکریان^۳

دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران^۱

afsaneh_shadaram@yahoo.com

دانشکده برق، دانشگاه علم و صنعت ایران^۲

M_kuchaki@iust.ac.ir

دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران^۳

F_zakerian@yahoo.com

چکیده:

ممریستور که به عنوان چهارمین عنصر پایه مدار بعد از مقاومت، خازن و سلف معرفی شده است، یک قطعه دو پایانه ای است که در ابعاد مقیاس نانو ساخته شده و مقاومت آن به دامنه، پلاریته و مدت زمان ولتاژ اعمال شده به آن بستگی دارد. منحنی هیستریتیک جریان_ولتاژ در ممریستور باعث می شود تا این عنصر بتواند به عنوان یک حافظه مقاومتی غیر فرار عمل کرده و اطلاعات را تا زمانی که ولتاژی با مقدار و پلاریته متفاوتی به آن اعمال شود حتی تا یک سال بعد به یاد آورد. ممریستور می تواند جایگزین بسیاری از ترانزیستورها در بعضی از مدارات شده و جای کمتری اشغال کند. در این تحقیق به بررسی تئوری ممریستور و کاربرد آن به عنوان حافظه غیر فرار و نیز پیاده سازی عملیات منطقی به شکل عنصر نگهدارنده پرداخته شده است.

کلمات کلیدی: crossbar، RRAM، memory resistor، memristor

۱- مقدمه

ترانزیستورها در هر دو سال می باشد در سال های آتی به پایان خود خواهد رسید و مواد و تکنولوژی های موجود در صنعت نیمه هادی در حال رسیدن به محدودیت های فیزیکی خود می باشند. لذا در طراحی الکترونیک تأکید بر این است که در کنار برقراری قانون مور، به سمت قطعاتی بروند که نه تنها اندازه بی نهایت کوچک در حد نانو دارند بلکه توانا نیز باشند. بنابر این گسترش انواع سلول های حافظه مقیاس نانو در حافظه های غیر فرار ضروری می باشد. بر این اساس ابداعات بسیاری از حافظه های غیر فرار مانند حافظه های دسترسی رندم فرو الکترونیک

در سال های اخیر حافظه های غیر فرار به طور گسترده به کار رفته اند. برای مثال حافظه فلش^۱ جریان اصلی از حافظه غیر فرار می باشد و در هر جایی از زندگی روزمره ما یافت می شود. به هر حال حافظه فلش دارای مشکلاتی از قبیل ولتاژ عملکرد بالا و سرعت کار پایین می باشد که نیازمندی های یک حافظه غیر فرار کامل را بر آورده نمی کند. علاوه بر آن قانون مور^۲ که مربوط به افزایش چگالی

^۱ - Flash

^۲ - Moore's Law

(FeRAM)^۳، حافظه دسترسی رندم مغناطیسی (MRAM)^۴ و حافظه دسترسی رندم مقاومتی (RRAM)^۵ مورد بررسی قرار گرفته اند. در میان این حافظه های غیر فرار، RRAM به علت خواندن بدون خطا، ولتاژ عملکرد پایین، سرعت بالا، زمان نگهداری طولانی، ساختار ساده و اندازه بسیار کوچک در حد مقیاس نانو نقش بسیار مهمی ایفا می کند [۱].

در سال ۱۹۷۱ میلادی لئون چو^۶ نشان داد یک عنصر مداری دو پایانه ای جدید به نام ممریستور وجود دارد که توسط رابطه ای بین شار الکتریکی و بار توصیف می شود. این عنصر به عنوان چهارمین عنصر پایه مدار بعد از مقاومت، خازن و سلف معرفی شد [۲]. در سال ۱۹۷۶ میلادی چو^۶ مفهوم ممریستور را به دسته وسیعی از سیستم های غیرخطی به نام سیستم های ممریستو بسط داد [۳]. در سال ۲۰۰۸ میلادی آراستلی ویلیامز^۷ به همراه گروه تحقیقاتی خود در آزمایشگاه HP^۸ قطعه ممریستور را براساس فیلم نازک TiO₂ ساخت و برای اولین بار یک مدل فیزیکی پایه براساس معادلات ریاضی که چو^۶ در سال ۱۹۷۱ ارائه داده بود معرفی کرد [۴]. در سال ۲۰۰۹ نیز مدل های مداری متفاوتی براساس مدل ممریستور ارائه شده توسط گروه تحقیقاتی آزمایشگاه HP طراحی شده اند [۵، ۶، ۷]. ممریستور^۹ که یک قطعه دو پایانه ای است، در ابعاد مقیاس نانو ساخته می شود و مقاومت آن به دامنه، پلاریته و مدت زمان ولتاژ به کار رفته شده در آن بستگی دارد. وقتی ولتاژ قطع شود ممریستور آخرین مقاومت ایجاد شده در خود را تا زمانی که ولتاژی با مقدار و پلاریته متفاوتی به آن اعمال شود حتی تا یک سال بعد به یاد می آورد. از آنجایی که ممریستور وضعیت قبلی خود را حتی پس از قطع توان حفظ می نماید، می تواند به طور نامحدود اطلاعات را ذخیره کرده و فقط زمانی که می خواهیم اطلاعات را از آن بخوانیم انرژی مصرف کند. این قطعه می تواند

جایگزین بسیاری از ترانزیستورها در بعضی از مدارات شده و جای کمتری اشغال کند. قابلیت نگه داشتن مقادیر مقاومت در ممریستور نشان می دهد که این قطعه می تواند به عنوان حافظه های غیر فرار مقاومتی (RRAM) به کار رود، که وقتی توان قطع شود اطلاعات درون خود را به شکل مقاومت حفظ می نماید [۴].

۲- تئوری ممریستور

طبق تعریف یک ممریستور به وسیله رابطه $g(\varphi, q) = 0$ مشخص می شود. اگر رابطه فوق تنها به صورت تابعی یک متغیره از بار (شار پیوندی) بیان شود ممریستور را کنترل شونده با بار (کنترل شونده با شار پیوندی) می گویند. ولتاژ دو سر ممریستور کنترل شونده با بار طبق رابطه زیر به دست می آید:

$$v(t) = M(q(t))i(t) \quad (۱)$$

به طوریکه:

$$M(q(t)) = \frac{d\varphi(q)}{dq} \quad (۲)$$

به طور مشابه جریان ممریستور کنترل شونده با شار از رابطه زیر به دست می آید:

$$i(t) = W(\varphi(t)) v(t) \quad (۳)$$

به طوری که:

$$W(\varphi) = \frac{dq(\varphi)}{d\varphi} \quad (۴)$$

$M(q)$ ممریستنس افزایشنده^{۱۰} و $W(\varphi)$ ممداکتانس^{۱۱} افزایشنده نام دارد. ملاحظه کنید که مقدار ممریستنس (ممداکتانس) افزایشنده در هر زمان t_0 بستگی به انتگرال زمان جریان ممریستور (ولتاژ) از $t = -\infty$ تا $t = t_0$ دارد. از این رو ممریستور در یک لحظه از زمان t_0 مثل یک مقاومت معمولی

³ - Ferroelectric Random Access Memory (FeRAM)

⁴ - Magnetic Random Access Memory (MRAM)

⁵ - Resistive Random Access Memory (RRAM)

⁶ - Leon Chua

⁷ - R. Stanley Williams

⁸ - Hewlett-Packard (HP)

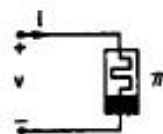
⁹ - Memristor (Memory Resistor)

¹⁰ - Incremental memristance

¹¹ - Incremental memductance

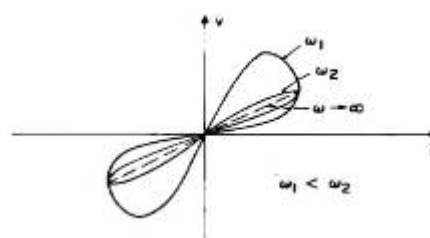
رفتار می کند که مقاومت (رسانایی) آن به جریان (ولتاژ) ممريستور در زمان گذشته وابسته است.

شکل ۱ نماد مداري ممريستور را نشان می دهد [۲].



شکل ۱: الف) نماد ممريستور ب) منحنی q بر حسب ϕ در ممريستور

ممريستور مشخصات غير خطي بسيار جالبي از خود نشان می دهد. اين مشخصات غير خطي باعث می شود ممريستور مورد ويژه ای از دسته وسيعی از سيستم های ديناميکی به نام سيستم های ممريستيو باشد. در بين مشخصات سيستم های ممريستيو پاسخ فرکانسي شکل ليساجو^{۱۲} به ورودی سينوسی نيز جالب است. اين منحنی به شکل هيستريتيک بوده و وقتی فرکانس به سمت بي نهايت افزايش می يابد، شکل ليساجو جمع شده و به یک خط صافي که از مبدا می گذرد تمايل دارد. اين امر نشان می دهد اثر هيستريتيک در سيستم ممريستيو با افزايش فرکانس کاهش يافته و سر انجام به یک سيستم مقاومتي خالص تبديل می شود (شکل ۲) [۳].

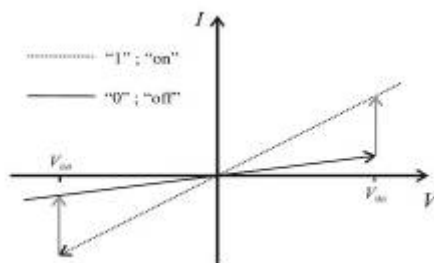


شکل ۲: پاسخ فرکانسي منحنی ليساجوس

۳- عملکرد ممريستور به عنوان حافظه مقاومتي غير فرار

جزء اصلي در یک حافظه RRAM عنصر هيستريتيک مقاومتي با دو حالت مقاومت پايدار می باشد. همان طور که قبلا توضيح داديم ممريستور نيز دارای چنين

خصوصياتي می باشد و می تواند به عنوان یک حافظه RRAM به کار رود. در شکل ۳ منحنی $I-V$ هيستريتيک مقاومتي ایده آل در یک ممريستور را مشاهده می کنيم. با به کارگيري پالس ولتاژ مثبت بزرگ تر از ولتاژ آستانه (V_{th1}) مقاومت قطعه به مقدار پايين و با به کارگيري پالس ولتاژ منفي بزرگ تر از مقدار آستانه (V_{th0}) مقاومت قطعه به مقدار بالا سوئيچ می کند. حالت های اهميک پايين و بالا به ترتيب نمايانگر منطق "1" و "0" می باشند. جهت خواندن بايد از ولتاژی در بين مقادير V_{th0} و V_{th1} استفاده شود. چون در اين محدوده ولتاژ سوئيچينگ صورت نگرفته و قطعه مقاومت قبلي خود را حفظ می کند [۸،۹].



شکل ۳: منحنی $I-V$ هيستريتيک مقاومتي ایده آل در یک ممريستور

ساختارهای اصلي ممکن برای اين حافظه ها سلول ترانزيستوري (فعال) و سلول کراس بار^{۱۳} (غير فعال) می باشند.

۳-۱- ساختار حافظه ممريستور بر اساس سلول ترانزيستوري (1T1M)^{۱۴}

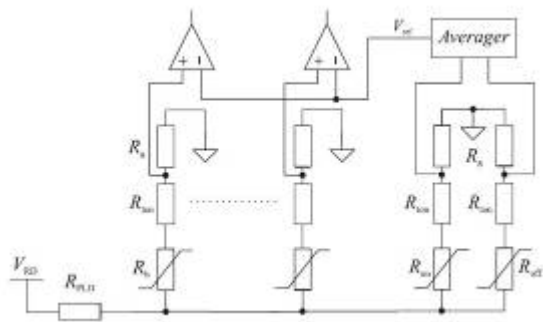
هر سلول حافظه ممريستور در اين ساختار از یک ترانزيستور جهت دسترسي به آن و جدا شدن از سلول های موجود در ردیف های ديگر استفاده می کند [۸]. ساختار چنين حافظه هایی بر اساس آرايه NOR و NAND را در شکل ۴ مشاهده می کنيم.

¹³ -Crossbar

¹⁴ -One Transistor, One Memristor (1T1M)

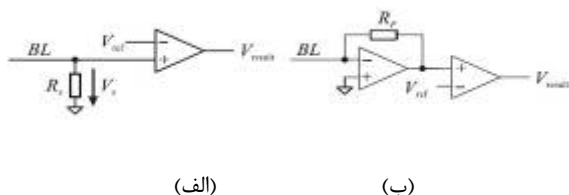
¹² -Lissajous

در صورتی که مقاومت های پارازیتی تغذیه، خطوط اتصال و ترانزیستور ها را نیز در نظر بگیریم مقدار V_{DD} باید به اندازه ای باشد تا پس از افت در این مقاومت های پارازیتی ولتاژی که به دو سر ممریستور می افتد از مقدار ولتاژ آستانه بیشتر باشد تا عمل سوئیچینگ انجام شود. همان طور که قبلاً نیز گفتیم، جهت خواندن از سلول حافظه ممریستور باید مقدار جریان عبوری از آن را که تحت یک ولتاژ کوچک، کم تر از مقدار آستانه تولید شده است را اندازه بگیریم. شکل ۶ مدار معادل آرایه NOR جهت عملیات خواندن را نشان می دهد. در این جا نیز وقتی WL مربوطه فعال می شود در واقع تمام سلول های موجود در این ردیف نیز فعال و قابل دسترس می باشند و می توان جریان عبوری از تمام سلول های حافظه در این ردیف را به طور هم زمان خواند [۸].



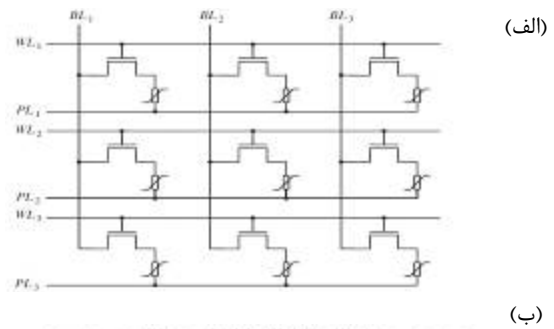
شکل ۶: مدار معادل آرایه NOR جهت عملیات خواندن

وضعیت های ذخیره شده در سلول های حافظه می توانند با استفاده از مقاومت حسگر (شکل ۷ الف)) یا مبدل جریان به ولتاژ (شکل ۷ ب)) خوانده شوند. این روش ها هم نقش مقایسه گر و هم نقش تقویت کنندگی را ایفا می کنند. روش مبدل جریان به ولتاژ (زمین مجازی) جای بیشتری را اشغال می کند و ترجیحاً در این ساختار از روش مقاومت حسگر استفاده شده است.



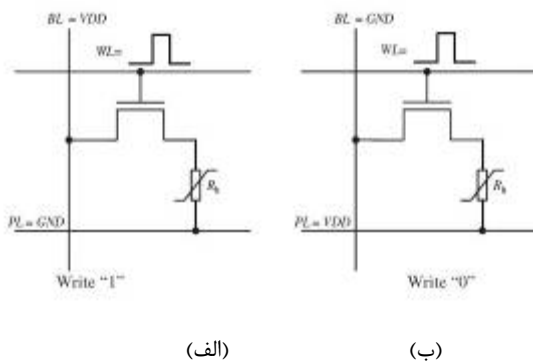
شکل ۷: خواندن وضعیت های ذخیره شده با استفاده از الف)

مقاومت حسگر ب) مبدل جریان به ولتاژ



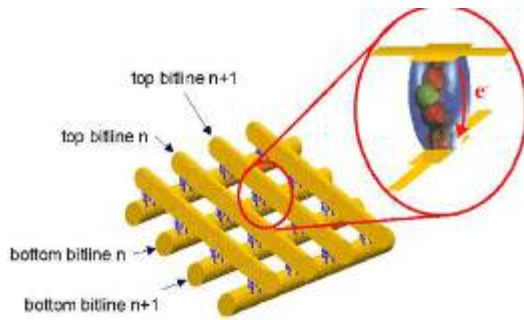
شکل ۴: الف) ساختار حافظه ممریستور بر اساس سلول ترانزیستوری به شکل آرایه NOR ب) ساختار حافظه ممریستور بر اساس سلول ترانزیستوری به شکل آرایه NAND

شکل ۵ نحوه نوشتن "0" و "1" منطقی در سلول آرایه NOR را نشان می دهد. جهت نوشتن "1" منطقی در سلول، خط بیت BL^{15} در ولتاژ V_{DD} قرار می گیرد و خط صفحه PL^{16} به زمین وصل می شود. سپس یک پالس به خط کلمه WL^{17} جهت فعال شدن ترانزیستور دسترسی اعمال می شود (شکل ۵ الف)). جهت نوشتن "0" منطقی همان روش قبل باید انجام شود، با این تفاوت که مقادیر ولتاژ BL و PL با یکدیگر جابجا می شوند (شکل ۵ ب)).



شکل ۵: الف) نحوه نوشتن "1" منطقی در سلول آرایه NOR ب) نحوه نوشتن "0" منطقی در سلول آرایه NOR

¹⁵ - Bit Line (BL)
¹⁶ - Plate Line (PL)
¹⁷ - Word Line (WL)



شکل ۸: ماده سوئیچینگ ممریستور با قابلیت پیکر بندی بین آرایه هایی از الکترودهای فلزی متقاطع در یک سلول کراس بار که در آن از هر دسته از این مواد در نقاط متقاطع به عنوان یک سلول حافظه استفاده می شوند.

یک سلول به خصوص می تواند با انتخاب خطوط بیت پایینی (B) و بالایی (T) مربوط به آن آدرس دهی شود. هنگام نوشتن باید بعد از انتخاب هر سلول جهت نوشتن "1" پالس ولتاژی بالاتر از مقدار آستانه مثبت و جهت نوشتن "0" پالس ولتاژی بزرگ تر از مقدار آستانه منفی در اطراف آن اتصال قرار گیرد. در این زمان باید شرایطی ایجاد شود تا ولتاژ اطراف سلول های دیگر به این مقادیر آستانه نرسند تا در آن ها به طور اشتباه اطلاعاتی نوشته نشود. در این جا نیز مانند قبل اطلاعات هر سلول یا مقاومت آن می تواند از اندازه گیری جریان در اتصال مربوطه مشخص شود. همان طور که در شکل ۹ (الف) نشان داده شده است، بر خلاف ساختار های با سلول ترانزیستوری در این جا علاوه بر جریان مستقیم مربوط به سلول مورد نظر، جریان های ناشی نیز از مسیرهایی از سلول های اطراف می آیند که به طور اساسی باعث افزایش جریان می شوند. برای داشتن خروجی های قابل

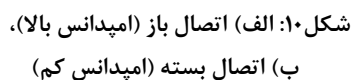
تشخیص، ماده سوئیچینگ باید دارای نسبت $\frac{R_{off}}{R_{on}}$ بالا بوده و یک شماتیک حسگر پیشرفته ای جهت عمل خواندن ایجاد شود. یکی از روش های مقابله با این مشکل استفاده از حسگرهای با زمین مجازی یا همان مبدل جریان به ولتاژ که قبلاً توضیح دادیم می باشد (شکل ۹ (ب)). در این جا فقط یک خط بیت مربوط به (T) در مقدار ولتاژ خواندن که کم تر از مقدار آستانه می باشد قرار گرفته و بقیه در ولتاژ صفر قرار می گیرند. تمام خطوط بیت مربوط به (B) به حسگرهای با زمین مجازی وصل می شوند که در این صورت ولتاژ این خطوط به طور مجازی صفر است [۱۰].

مقدار مقاومت R_s در این روش باید به طور مناسب انتخاب گردد تا بیشترین مقدار اختلاف بین ولتاژهای حس شده منطق "1" و "0" را ایجاد کند. اختلاف ولتاژی که اطراف مقاومت حسگر می افتد با یک ولتاژ مرجع مقایسه می شود تا تشخیص دهد که "1" ذخیره شده است یا "0". بر اساس وضعیت سلول ها در یک ردیف و مقاومت های پارازیتی موجود در اتصالات، ولتاژ خط PL می تواند تغییر کند. با در نظر گرفتن این اثر ولتاژ مرجع باید از همان ردیف تولید شود (شکل ۶). این کار با اضافه کردن دو سلول به هر ردیف که در هنگام ساخت یکی به طور دائم روشن ("1" منطقی) و دیگری به طور دائم خاموش ("0" منطقی) قرار داده شده اند، انجام می شود. از ولتاژهای خروجی در اطراف R_s مربوط به این دو سلول میانگین گرفته می شود و سپس این ولتاژ میانگین به عنوان ولتاژ مرجع استفاده می شود. در نهایت خروجی تقویت کننده ها به مالتی پلکسر می روند تا فقط یکی از آن ها به عنوان داده سلول مربوطه به خروجی برود [۸]. از آن جایی که در این ساختار هر سلول حافظه با کمک یک ترانزیستور دسترسی از سلول های دیگر جدا می شود، بر خلاف ساختار کراس بار در این جا جریان پارازیتی از ردیف های دیگر وارد ردیف انتخاب شده نمی شود، زیرا از یکدیگر جدا می باشند. این امر از مزایای ساختار سلول ترانزیستوری می باشد ولی در مقابل فضای بیشتری را اشغال کرده و ساخت آن مشکل تر می باشد.

۳-۲ - ساختار حافظه ممریستور بر اساس سلول کراس بار (1M)^{۱۸}

در یک سلول کراس بار ماده سوئیچینگ ممریستور با قابلیت پیکر بندی بین آرایه هایی از الکترودهای فلزی متقاطع قرار گرفته است (شکل ۸). هر دسته از این مواد در نقاط متقاطع به عنوان یک سلول حافظه استفاده می شوند. از آنجایی که سوئیچ ها قطعات دو پایانه ای می باشند کل ساختار کراس بار یک آرایه غیر فعال است.

¹⁸ - One Memristor (1M)



شکل ۱۱: الف) پیکربندی غیر معکوس کننده و
ب) معکوس کننده در نگهدارنده

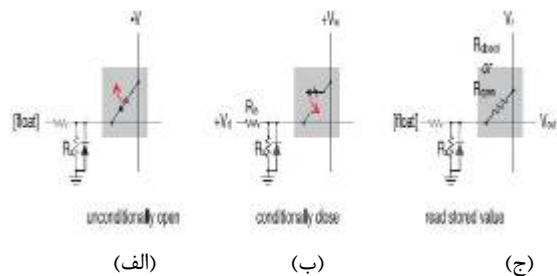
شکل ۹: (الف) جریان های نشتی که هنگام خواندن از مسیرهایی از سلول های اطراف می آیند . (ب) استفاده از حسگرهای با زمین مجازی جهت عملیات خواندن

از آنجایی که اختلاف ولتاژ در اطراف اتصالات دیگر صفر می باشد جریانی از آن ها عبور نمی کند. بنابر این با صرف نظر کردن از مقاومت های پارازیتی خطوط بیت که معمولاً $R_{bitline} \gg R_{junction}$ ، فقط جریان مربوط به ردیف انتخاب شده به خروجی ها رفته و یک ردیف به طور هم زمان خوانده می شود و هیچ جریان نشتی دیگری پدیدار نمی گردد .

۴- اجرای توابع منطقی توسط ممیستورهای نگهدارنده

یک مریستور به عنوان نگهدارنده یک عنصر الکترونیکی دیجیتال است که قادر است یک بیت از اطلاعات را نگه دارد و یک خط ورودی، یک خط خروجی و یک یا تعداد بیشتری خطوط کنترل دارد. به طور کلی خطوط کنترل نگهدارنده را طوری اداره می کنند که در یکی از دو مد کاری باشد. در "مد برنامه ریزی" که در آن اطلاعات روی خط ورودی نمونه برداری و گرفته شده و در عناصر حافظه نگهدارنده ذخیره می شوند، در "مد خروجی" که مقدار اطلاعات خروجی (گاهی به شکل معکوس شده) به روی خط خروجی هدایت می شوند. در اینجا نگهدارنده فقط به یک اتصال در کراس بار جهت نگه داشتن بیت نیاز دارد. در اینجا اتصال "بسته" منطق "0" و اتصال باز منطق "1" را نشان می دهد (شکل ۱۰).

نگهدارنده را به صورت غیر شرطی به حالت "باز" تنظیم می کنیم. این کار با تحمیل منبع ولتاژ ورودی به حالت امیدانس بالا و سپس با به کارگیری ولتاژ منفی به نانوسیم عمودی به طوری که ولتاژ اطراف اتصال از مقدار آستانه V_0 مورد نیاز جهت باز شدن سوئیچ تجاوز کند، انجام می شود. دیود در مدار فقط در طول مرحله اول به صورت مستقیم بایاس شده است و یک مسیر امیدانس کم تا زمین ایجاد می کند تا از اتصال محافظت نماید.



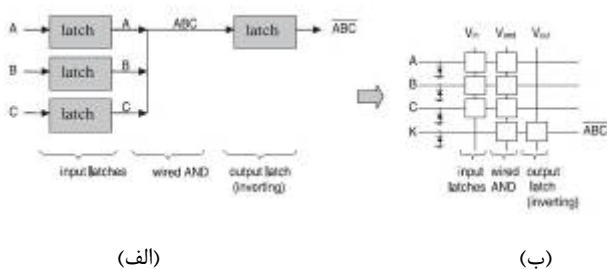
شکل ۱۲: نحوه عملکرد نگهدارنده معکوس کننده

جهت اینکه بدانیم چرا این محافظت نیاز است، در نظر بگیرید دیود نباشد و به جای آن سیگنال ورودی از طریق مقاومت ورودی R_s زمین شود و مقدار این R_s به اندازه مقاومت بسته در سوئیچ (R_{closed}) باشد. اگر اتصال در ابتدا بسته باشد، یک تقسیم کننده ولتاژ با R_s ایجاد شده و ولتاژ منفی به کار گرفته شده به نانوسیم عمودی را مجبور می کند برای باز شدن، حداقل دو برابر ولتاژ آستانه V_0 باشد، البته در صورتی که بخواهیم باز شود. ولی وقتی این مقدار ولتاژ به کار رفت و سوئیچ به حالت امیدانس بالا (R_{open}) انتقال یافت، جریان از طریق تقسیم کننده ولتاژ سریعاً افت کرده و تقریباً تمام ولتاژ به کار رفته به نانوسیم عمودی، $2V_0$ ، در اطراف اتصال (مقاومت هیسترتیک) قرار می گیرد. اگر این مقدار از V_d تجاوز کند اتصال خراب می شود. این مشکل حتی برای وقتی که R_{in} بزرگ تر از R_{closed} باشد، بدتر می شود. در مرحله دوم (شکل ۱۲ (ب))، اتصال باز شده جدید بر اساس مقدار منطقی سیگنال ورودی به صورت شرطی بسته می شود. نانوسیم افقی با یک ولتاژ ثابت V_d ، و نانوسیم عمودی توسط یک ولتاژ نوشتن V_w ، تحریک می شوند. اگر سیگنال ورودی منطق "1" باشد مقدار R_{in} بالا و مقدار مقاومت اتصال بالا خواهد بود درحالی که R_s به نسبت کوچک است. برای سیم

عمودی V_w انتخاب شده است بنابراین در این مورد ولتاژی که اطراف اتصال می افتد از V_c تجاوز کرده و اتصال بسته خواهد شد. از طرف دیگر، اگر سیگنال ورودی منطق "0" باشد، مقدار R_{in} کم خواهد بود، بسیار کوچکتر از مقدار R_{open} ، و تقسیم کننده ولتاژ ایجاد شده باعث می شود ولتاژی که اطراف اتصال می افتد هرگز از مقدار آستانه بسته شدن V_c تجاوز نکند. بنابراین در انتهای مرحله دوم، سوئیچ حالت معکوس شده از سیگنال ورودی را گرفته است. ورودی منطقی "1" (امپدانس بالا) حالت اتصال منطق "0" (امپدانس پایین) را نتیجه می دهد، درحالی که ورودی منطق "0" به صورت یک حالت اتصال منطق "1" نتیجه می شود. در مرحله سوم (شکل ۱۲ (ج))، وضعیت نگهدارنده روی نانوسیم افقی خوانده می شود. این کار به طور موثر با قطع کردن سیگنال ورودی توسط تحمیل ولتاژ راه انداز ورودی به حالت امیدانس بالا و توسط تحریک نانوسیم عمودی با یک ولتاژ خواندن V_r ، انجام می شود. در ساختار غیر معکوس کننده نگهدارنده (شکل ۱۱ (الف))، وقتی مقدار یک نگهدارنده در دیگری نوشته می شود به مقاومت پایین بر R_s نیاز نیست. در این ساختار مانند حالت معکوس کننده، نگهدارنده دریافت کننده ابتدا باید به طور غیر شرطی باز باشد. ولی بسته شدن شرطی آن با تحریک نانوسیم عمودی نگهدارنده اول با زمین نسبت به یک ولتاژ مثبت، و تحریک نانوسیم عمودی در نگهدارنده دریافت کننده با یک ولتاژ مثبت بزرگ تر از V_c ولی کمتر از V_c انجام می شود. سپس اتصالات هر دو نگهدارنده یک تقسیم کننده ولتاژ مقاومتی تشکیل می دهند که باعث می شود نگهدارنده دوم فقط در صورت باز بودن نگهدارنده اول باز باقی بماند. بنابراین وضعیت آن نگهدارنده را تکرار می کند [۹].

۴-۱- روش پایه عملیات منطقی توسط نگهدارنده ها

ارزیابی منطقی از این واقعیت استفاده می کند که مقادیر منطقی به جای ولتاژ به شکل امیدانس در نگهدارنده ها ذخیره می شوند. محاسبات با به هم وصل کردن خروجی های نگهدارنده های چندتایی به دست می آیند تا نشان دهند لزوماً یک تابع "AND" سیم بندی شده "به چه صورت می باشد (شکل ۱۳).



شکل ۱۴: الف) مدار بر پایه نگهدارنده برای محاسبه NAND و ب) اجرای آن در کراس بار

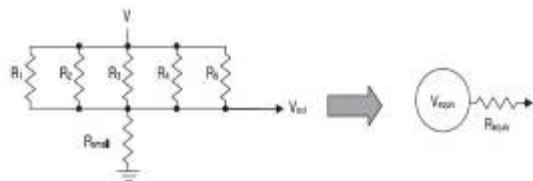
نگهدارنده های ورودی، سیگنال ورودی را گرفته و دوباره تولید می کنند. هرگاه این سه نگهدارنده های ورودی با یک ولتاژ خواندن مشترک تحریک شوند و خروجی های نگهدارنده ها به یکدیگر به یک مقاومت پایین بر متصل شوند، نتیجه می تواند یا یک منبع ولتاژ امپدانس پایین نزدیک زمین باشد (اگر تمام نگهدارنده ها در وضعیت باز باشند) یا یک ولتاژ امپدانس پایین به میزان نزدیک یا بالای $V_T/2$ باشد (اگر حداقل یکی از نگهدارنده ها در وضعیت بسته باشد). این ولتاژها برای برنامه ریزی موفقیت آمیز نگهدارنده بعدی که یک ساختار معکوس کننده دارد، و بستن شرطی آن اتصال مناسب می باشند. اجرای گیت NAND در یک کراس بار که در شکل ۱۴ (ب) نشان داده شده است نیازمند اتصالاتی است که از قبل هنگام ساخت به شکل حالت امپدانس بالای دائمی غیرفعال شده اند و بنابراین در شکل به دور آنها مربع کشیده نشده است. ورودی 'k' یک اتصال امپدانس پایین متصل شده به زمین می باشد که با نگه داشتن یک نگهدارنده به صورت بسته (منطق '0') ایجاد می شود.

اجرای عملیات NAND به یک فرآیند ۶ مرحله ای مطابق با شکل ۱۵ نیاز دارد:

۱- تمام اتصالات به طور غیرشرطی با تحریک خطوط کنترل V_{in} ، V_{and} و V_{out} با ولتاژهای منفی باز شوند (شکل ۱۵ الف).

۲- اطلاعات ورودی (A, B, C) توسط ولتاژ تحریک V_{in} با یک ولتاژ مثبت، در نگهدارنده نگه داشته می شوند (شکل ۱۵ ب).

۳- بعضی از اتصالات AND سیم بندی شده (ستون وسط در شکل ۱۴ ب) با تحریک V_{in} با زمین، k با یک مسیر



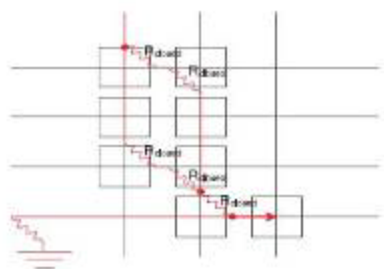
# small R_i 's	V_{equiv}	R_{equiv}
0	~ 0	$\sim R_{small}$
1 or more	$> V/2$	$< R_{small}/2$

شکل ۱۳: منطق AND سیم بندی شده

نتایج AND سیم بندی شده به ورودی نگهدارنده دیگری می رود تا این سیگنال منطقی را گرفته و نگه دارد. همان طور که در شکل ۱۳ ملاحظه می کنید اگر تمام مقاومت های بالایی R_1 تا R_5 بزرگ باشند ($R_{small} \ll R_i$)، مدار معادل تونن نشان داده شده در V_{out} دارای ولتاژ تقریباً صفر ولت با امپدانس خروجی تقریباً R_{small} خواهد بود. ولی اگر یکی یا تعداد بیشتری از مقاومت های بالایی برابر با R_{small} باشد (بقیه بزرگ باقی بمانند)، ولتاژ خروجی معادل بزرگ تر از $V/2$ با امپدانس خروجی کوچک تر از R_{small} می شود. این مدار یک نمونه تقریباً خوبی از عملیات AND را نشان می دهد که در آن مقادیر ورودی به صورت امپدانس کد شده اند (R_{small} = منطق "0"، R_{large} = منطق "1") و خروجی به صورت ولتاژ کد شده است ($V/2$ = منطق "0"، صفر ولت = منطق "1") [۹].

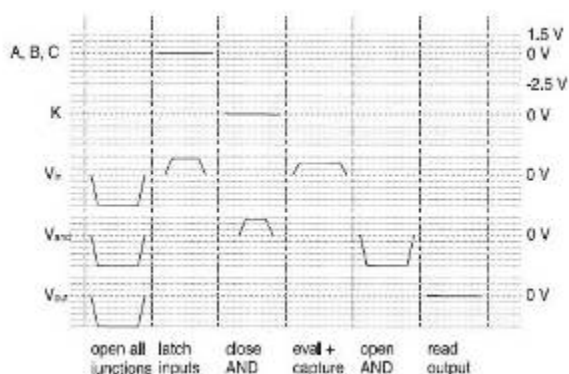
۱-۱-۴ پیاده سازی گیت NAND توسط نگهدارنده ها:

شکل ۱۴ (الف) یک مدار براساس نگهدارنده برای محاسبات NAND منطقی از سه سیگنال ورودی A, B, C را نشان می دهد که هر کدام فرض شده به صورت امپدانس در یک نگهدارنده جداگانه کد شده است.



شکل ۱۶: مدار معادل برای محاسبه AND سیمی در شکل (۱۵) (د).

شکل ۱۷ زمان بندی این پروتکل را نشان می دهد .



شکل ۱۷: زمان بندی پروتکل گیت NAND در شکل ۱۵

به علت کد شدن به صورت امپدانس، مادامی که R_{open} بسیار بزرگ تر از R_{closed} باشد AND سیمی ورودی های زیادی را تحمل می کند [۹] .

۵) نتیجه گیری:

ممریستور یک قطعه دو پایانه ای است که در ابعاد مقیاس نانو ساخته شده و مقاومت آن به دامنه ، پلاریته و مدت زمان ولتاژ اعمال شده به آن بستگی دارد . قابلیت نگه داشتن مقادیر مقاومت در ممریستور نشان می دهد که این قطعه می تواند به عنوان حافظه غیر فرار مقاومتی (RRAM) به کار رود ، که وقتی قطع شود اطلاعات درون خود را به شکل مقاومت حفظ می نماید. این قطعه می تواند جایگزین بسیاری از ترانزیستورها در بعضی از مدارات شده و جای کمتری اشغال کند. ساختارهای اصلی ممکن برای حافظه ها ی بر اساس ممریستور، سلول ترانزیستوری (فعال) و سلول کراس بار

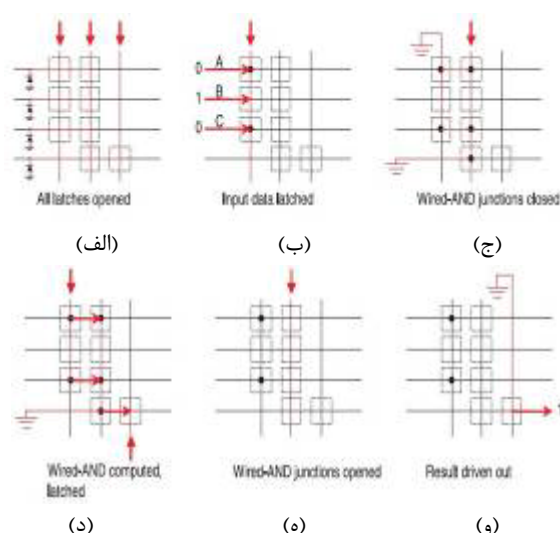
امپدانس پایین به زمین و V_{and} با یک ولتاژ مثبت بسته می شوند (شکل ۱۵ ج). اتصالاتی که در طول سیم V_{and} واقعاً بسته می شوند آن هایی هستند که یک مسیر امپدانس کم به سمت زمین از طریق اتصال بسته شده در نگهدارنده ورودی دارند.

۴- نگهدارنده های ورودی خوانده شده، عملیات AND سیمی ارزیابی شده و نتایج در نگهدارنده خروجی گرفته شده اند (شکل ۱۵ د). ورودی 'k' در پایین ترین نانوسیم افقی (شکل ۱۴ ب) از طریق نگه داشتن نگهدارنده به شکل بسته ('0' منطقی) به زمین وصل شده است و یک تقسیم کننده ولتاژ با مقاومت های دو ستون اول تشکیل می دهد (شکل ۱۶).

۵- اتصالات AND سیمی با تحریک V_{and} با یک ولتاژ منفی باز می شوند (شکل ۱۵ ه).

۶- با زمین کردن خط V_{out} ، نتایج از نگهدارنده خروجی به بیرون هدایت می شوند (شکل ۱۵ و).

در صورت دلخواه، نگهدارنده های ورودی نیز می توانند هم زمان با زمین کردن خط V_{in} به بیرون روند [۹] .



شکل ۱۵: اجرای تابع NAND در شش مرحله

(غیر فعال) می باشند. در ساختار های سلول ترانزیستوری هر سلول حافظه ممپرستور از یک ترانزیستور جهت دسترسی به آن و جدا شدن از سلول های موجود در ردیف های دیگر استفاده می کند. در این جا جریان پارازیتی از ردیف های دیگر وارد ردیف انتخاب شده نمی شود، زیرا از یکدیگر جدا می باشند. این امر از مزایای ساختار سلول ترانزیستوری می باشد ولی در مقابل فضای بیشتری را اشغال کرده و ساخت آن مشکل تر می باشد. در ساختار کراس بار از ممپرستور در نقاط متقاطع به عنوان یک سلول حافظه استفاده می شود. در این ساختار علاوه بر جریان مستقیم مربوط به سلول مورد نظر، جریان های ناشی نیز از مسیرهایی از سلول های اطراف می آیند که به طور اساسی باعث افزایش جریان می شوند. ولی در مقابل جای کمتری گرفته و دارای ساخت آسان تر می باشند

منابع:

1. Dan Ling-Qi, Jang Liaw-Der, " Polymer electronic memories: Materials, devices and mechanisms". 2008, ScienceDirect, 917–978.
2. Chua, L. O, " Memristor - the missing circuit element". 1971, IEEE Trans, 507-519.
3. Chua L, Kang S., " Memristive devices and systems". 1976 , Proc IEEE, 209–223.
4. Strukov D, Snider G, Stewart D, Williams R, "The missing memristor found", 2008 Nature, 80–83.
5. Benderli S, Wey T. A, "On SPICE macromodelling of TiO₂ memristors", 2009, Electronics Letters, 377–379.
6. Biolek Z, Biolek D, Biolková V, " SPICE model of memristor with nonlinear dopant drift", 2009, Radioengineering Journal, 210-214.
7. Joglekar Yogesh, Wolf Stephen, " The elusive memristor: properties of basic electrical circuits", 2009, IOP Publishing, 661-674.
8. Mustafa Jakob, Rüdiger Andreas, Waser Rainer, " Comparison of three different architectures for active resistive memories", 2007, Elsevier 345 – 352.
9. Snider G , " Computing with hysteretic resistor crossbars". 2005, Appl Phys , 1165–1172.
10. Luyken R J , Hofmann F, " Concepts for hybrid CMOS_molecular non_volatile memories", 2003, IOP Publishing, 273–276.